Jurnal Teknologi Informasi dan Ilmu Komputer (JTIIK) p-ISSN: 2355-7699
Vol. 4, No. 2, Juni 2017, hlm. 117-121 e-ISSN: 2528-6579

DESAIN PROTOKOL SUARA SEBAGAI PENGENDALI DALAM SMART HOME MENGGUNAKAN FPGA

Barlian Henryranu Prasetio[1], Dahnial Syauqy[2]

[1,2] Fakultas Ilmu Komputer, Universitas Brawijaya
Email: [1]barlian@ub.ac.id, dahnial87@ub.ac.id[2]

(Naskah masuk: 9 Maret 2017, diterima untuk diterbitkan: 7 Mei 2017)

Abstrak

Smart home adalah suatu sistem yang menggunakan komputer dan teknologi informasi untuk mengendalikan peralatan yang terdapat di rumah seperti jendela dan lampu. Sistem dapat berupa sistem control sederhana hingga sistem yang kompleks. Komputer/mikrokontroler yang berbasis jaringan internet/ethernet dilengkapi dengan sistem cerdas dan sistem otomasi sehingga mampu membuat rumah menjadi bekerja secara otomatis. Banyak perangkat komputer/mikrokontroler yang dapat diimplementasikan sebagai pengendali dalam smart home. Sistem pengendali smart home pada penelitian ini menggunakan Xilinx xpartan-3e yang mengendalikan peralatan dalam rumah melalui jaringan LAN (Local Area Networking). Sistem pengendali ini berkomunkasi menggunakan broadcast voice pada jaringan lokal. Sistem Pengendali ini dirancang untuk dapat mengirimkan paket sinyal suara (*voice*) dari masukan microphone dan kemudian mengirimnya menggunakan protokol ethernet dalam jaringan lokal rumah menggunakan FPGA. FPGA ini diprogram untuk mengirimkan dan mengkodekan paket data, mengkonversi data digital menjadi data analog untuk dapat mengendalikan peralatan dalam rumah. Dari hasil pengujian simulasi menggunakan ISim, terlihat bahawa sistem bekerja secara realtime.

Kata kunci: *smart home, suara, FPGA, pengendalian*

Abstract

Smart home is a system that uses computers and information technology to control home-like equipment such as windows and lights. The system can be a simple control system to a complex system. Computer / microcontroller based on internet/ethernet network equipped with intelligent system and automation system so as to make home to work automatically. Many computer devices / microcontrollers that can be implemented as a controller in the smart home. Smart home control system in this study using Xilinx xpartan-3e that controls the equipment in the house through LAN (Local Area Networking). This control system communicates using broadcast voice on the local network. The Controller System is designed to be able to transmit a voice signal packet from the microphone input and then send it using the ethernet protocol in the home local network using the FPGA. The FPGA is programmed to transmit and encode data packets, converting digital data into analog data to be able to control the equipment in the home. From the simulation test results using ISIM, it is seen that the system works in realtime.

Keywords: *smart home, voice, FPGA, control*

1. PENDAHULUAN

Smart home yang sering disebut sebagai rumah pintar atau eHome adalah suatu rumah yang memiliki sistem otomatis yang sangat canggih untuk mengontrol peralatan rumah seperti pencahayaan dan suhu, peralatan multi-media, memantau dan mengaktifkan alarm serta membuka dan menutup jendela atau pintu dan banyak fungsi lainnya. Sebuah rumah pintar tampak "cerdas" karena sistem komputer yang dapat memantau banyak aspek kehidupan sehari-hari. Misalnya, sebuah lemari es yang dapat mengisi persediaannya sendiri, menyarankan menu, merekomendasikan alternatif yang sehat, dan memesan makanan. Sistem rumah pintar bahkan mungkin mengurus membersihkan kotak sampah kucing dan menyiram tanaman (Bregman D, 2010).

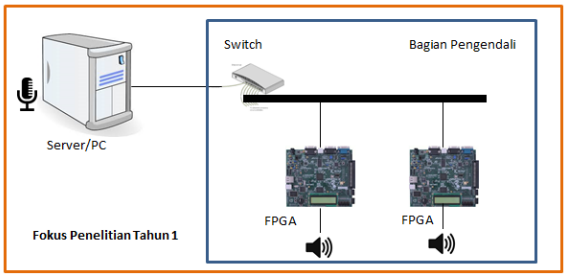
Hampir semua sistem smart home terhubung ke sebuah komputer server, sehingga komputer menjadi sistem monitor dan kendali yang terpusat. Sistem ini biasanya dibekali dengan sistem keamanan berupa sistem autentifikasi username dan password (Arifiyanto F etal, 2014). Dengan sistem yang terpusat, pengendalian sistem menjadi lebih efisien dan mudah. Namun jika ditinjau dari segi keamanan, sistem terpusat akan menjadi suatu kelemahan. Sistem autentikasi username dan password menjadi sistem autentifikasi yang rawan terbongkar. Sistem autentikasi smart home menggunakan keunikan manusia (suara) akan menjadi gerbang pengendali dalam komunikasi teknologi konvergen.

Jika kita tinjau dari sisi infrastruktur dari sistem yang kompleks akan membutuhkan infrastruktur yang banyak dan mahal. Sebenarnya kebutuhan infrastruktur untuk sistem komunikasi/informasi ini hanya membutuhkan koneksi antar komputer. Namun pada penelitian yang pernah dilakukan, implementasi secara nyata menjadi tidak praktis dan cukup mahal karena harus membeli banyak komputer untuk penerima audio yang bersifat tidak real-time. Sebuah perangkat alternatif yang dapat digunakan untuk menerima paket suara dan pengendali audio eksternal (speaker) adalah Field Programmable Gate Array (FPGA) (Perkins C, 2003). FPGA lebih murah dibandingkan dengan komputer dan hemat daya dan mampu bekerja secara real time (fpga4fun, 2014). Selain itu, dengan menggunakan FPGA untuk menerima dan mengendalikan speaker akan memungkinkan sistem ini bekerja secara independen menggunakan sisa bandwidth jaringan utama (Xilinx, 2011).

Penelitian ini, bertujuan untuk mendesain sistem komunikasi/informasi berbasis Ethernet dengan menggunakan PC dan FPGA Xilinx Spartan-3E. Dengan menggunakan PC pada bagian input dan FPGA bagian penerima, penelitian ini diharapkan akan mampu menunjukkan prinsip-prinsip komunikasi data (VoIP) dan menjelaskan pemahaman perangkat lunak dan perangkat keras yang diimplementasikan sebagai aplikasi embedded sistem untuk komunikasi data. Jaringan menggunakan Ethernet 802.3 standar (IEEE, 2012) yang memungkinkan banyak host untuk mengirim dan menerima data melalui jaringan twisted pair. Penelitian ini memiliki tiga bagian: server/transmitter (PC), backbone LAN, dan penerima (FPGA).

2. BLOK DIAGRAM SISTEM

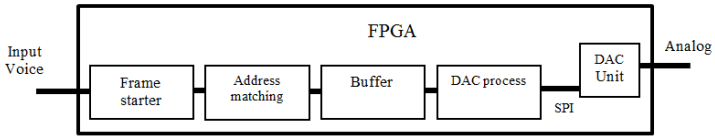
Pada bagian pengendali, sistem ini menggunakan komputer pribadi (PC) yang terhubung ke Local Area Network yang berfungsi sebagai server pusat. Sebuah mikrofon, terhubung ke jack mikrofon dari audio card PC (on board) berfungsi sebagai input. Modul ini menampilkan informasi seperti nama host dari server PC, alamat IP, port dan alamat tujuan (Cisco, 2001) dan total ukuran buffer. FPGA terhubung ke LAN melalui konektor RJ45 (fpga4fun, 2013), bertindak sebagai penerima. FPGA ini akan menghasilkan suara yang nantinya akan berfungsi sebagai pengendali peralatan yang berada dalam rumah. Blok diagram sistem secara keseluruhan dapat dilihat pada gambar 1.



Gambar 1. Blok Diagram Sistem

3. METODE PENELITIAN

Paket data suara dikirim pada modul pengendali melalui konektor RJ45 onboard. Modul ini dibagi menjadi empat bagian seperti yang ditunjukkan pada Gambar 2: SFD (Frame Starter), AM (Address Matching), Buffer, dan DAC (Digital Analog Converter).



Gambar 2. Blok Diagram Modul Pengendali

Paket data diterima melalui konektor RJ45. Setelah diterima, modul pengendali akan memeriksa apakah data tersebut valid atau tidak. Jika valid, maka akan mengaktifkan FS.

FS mendeteksi start bit pada frame ethernet. paket ethernet terdiri dari 7 bit. Menurut standar ethernet 802.3, LSB dikirim terlebih dahulu. Untuk memastikan fungsi ini berjalan maka diberikan sebuah counter yang menhitung sebanyak 7 siklus. Setelah FS mendeteksi paket data telah terkirim semua, maka FS mengaktifkan AM.

AM memeriksa apakah informasi paket ditujukan pada modul pengendali. Pencocokan alamt pengirim meliputi alamat MAC, tipe ethernet, jenis protokol, alamat IP dan alamat port. Jika informasi cocok, Buffer menyimpan data dalam paket. Buffer menerima data setiap 4 bit tiap silkus clock sehingga membutuhkan 2 siklus untuk dapat menyimpan data dalam 1 blok RAM. Proses ini berlanjut sampai counter mencapai batas tertentu. Setelah counter mencapai batas tersebut, maka buffer berubah status menjadi disable dan mengaktifkan DAC.

Setelah data disimpan, DAC mengubah data digital menjadi analog untuk memicu speaker eksternal untuk dapat menghasilkan sinyal suara analog. Pseudocode modul FPGA ditunjukkan pada code 1.

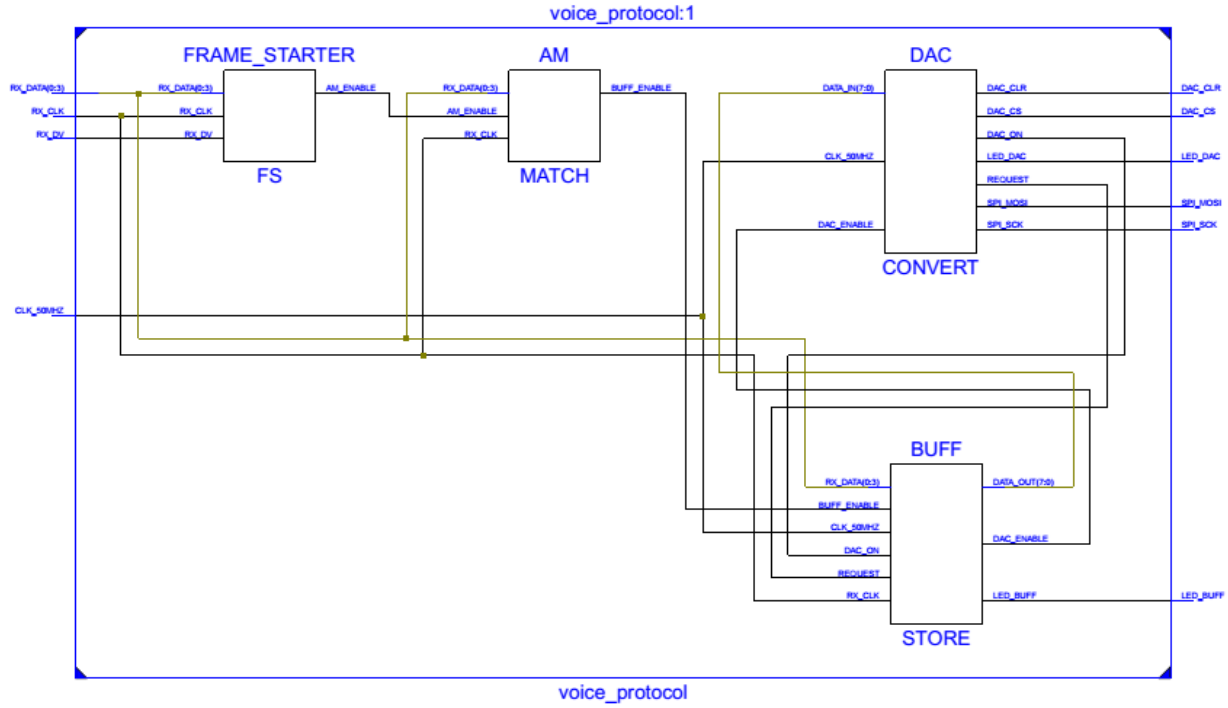
Code 1. Pseudocode Modul Pengendali

```
FS CODE

if STATE_FS = '1' then
if RX_DATA = "1010" then
COUNT_FS <= COUNT_FS + 1;
elsif RX_DATA = "1011" then
```

```
if COUNT_FS = 15 then
ENABLE <= '1';
RESET_FS <= '1';
end if;
COUNT_FS <= 0;
else
COUNT_FS <= 0;
end if;
else
ENABLE <='0';
RESET_FS <= '0';
end if;
-----------------------------------
AM CODE
MAC Code
if STATE_MAC = '1' then
if COUNT_MAC = 13 then
if RX_MAC = FIX_MAC then
MATCH_MAC <= '1';
end if;
RESET_MAC <= '1';
COUNT_MAC <= 1;
else
MATCH_MAC <= '0';
RESET_MAC <= '0';
RX_MAC <= (others => '0');
end if;

Ethernet Code
if STATE_ETYPE ='1' then
if RECOUNT_ETYPE = '0' then
if COUNT_ETYPE < 11 then
COUNT_ETYPE <= COUNT_ETYPE+1;
else
RECOUNT_ETYPE <= '1';
COUNT_ETYPE <= 1;
end if;
else
if COUNT_ETYPE = 5 then
if RX_ETYPE = FIX_ETYPE then
MATCH_ETYPE <= '1';
end if;
RESET_ETYPE <= '1';
COUNT_ETYPE  <= 1;
RECOUNT_ETYPE <= '0';
else
COUNT_ETYPE <= COUNT_ETYPE + 1;
end if;
end if;
else
MATCH_ETYPE <= '0';
RESET_ETYPE <= '0';
RX_ETYPE <= (others => '0');
end if;

Protocol Code
if STATE_PRO ='1' then
if RECOUNT_PRO = '0' then
if COUNT_PRO < 17 then
COUNT_PRO <= COUNT_PRO+1;
else
RECOUNT_PRO <= '1';
COUNT_PRO <= 1;
end if;
else
if COUNT_PRO = 3 then
if RX_PRO = FIX_PRO then
MATCH_PRO <= '1';
end if;
RESET_PRO <= '1';
COUNT_PRO <= 1;
RECOUNT_PRO <= '0';
end if;
end if;
else
MATCH_PRO <= '0';
RESET_PRO <= '0';
RX_PRO <= (others => '0');
end if;

IP Code
if STATE_IP ='1' then
if RECOUNT_IP = '0' then
if COUNT_IP < 11 then
COUNT_IP <= COUNT_IP + 1;
else
RECOUNT_IP <= '1';
COUNT_IP <= 1;
end if;
else
if COUNT_IP = 9 then
if RX_IP = FIX_IP then
MATCH_IP <= '1';
end if;
RESET_IP <= '1';
COUNT_IP  <= 1;
RECOUNT_IP <= '0';
end if;
end if;
else
MATCH_IP <= '0';
RESET_IP <= '0';
RX_IP <= (others => '0');
end if;
end if;

Port Code
if STATE_PORT ='1' then
if RECOUNT_PORT = '0' then
if COUNT_PORT < 3 then
COUNT_PORT <= COUNT_PORT + 1;
else
RECOUNT_PORT <= '1';
COUNT_PORT <= 1;
end if;
else
if COUNT_PORT = 5 then
if RX_PORT = FIX_PORT then
MATCH_PORT <= '1';
end if;
RESET_PORT <= '1';
COUNT_PORT  <= 1;
RECOUNT_PORT <= '0';
end if;
end if;
else
MATCH_PORT <= '0';
RESET_PORT <= '0';
RX_PORT <= (others => '0');
end if;
```

4. HASIL DAN PEMBAHASAN

Modul Pengendali dibangun menggunakan Xilinx Spartan-3E dan diprogram dalam VHDL menggunakan Xilinx ISE 8.2i. Rangkaian RTL modul FPGA ditunjukkan pada gambar 4.



Gambar 4. Rangkaian RTL Modul Pengendali

Gambar 4 menunjukkan bahwa sistem terdiri atas frame starter (FS), Address Matching (AM), Buffer (BUFF) and Digital to Analog Converter (DAC). Deskripsi RTL Schematics dapat dilihat pada table 1 sedangkan rangkuman penggunaan FPGA ditunjukkan pada table 2.

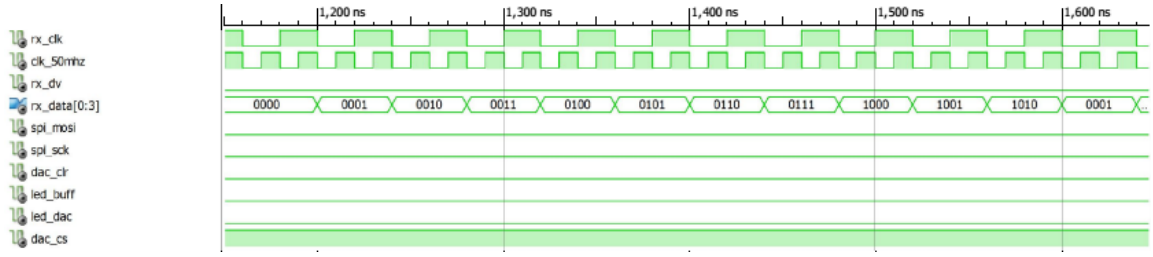
Tabel 1 Deskripsi RTL Schematics

komponen: frame_starter	
masukan:	keluaran:
• rx_data(0:3) • rx_clk • rx_dv	• am_enable
komponen: AM	
masukan	keluaran:
• rx_data(0:3) • am_enable • rx_clk	• buff_enable
komponen: BUFF	
masukan:	keluaran:
• rx_data(0:3) • buff_enable • clk_50mhz • dac_on • request • rx_clk	• data_out(7:0) • dac_enable • led_buff
komponen: DAC	
masukan:	keluaran:
• data_in(7:0) • clk_50mhz • dac_enable	• dac_clr • dac_cs • dac_on • led_dac • request • spi_mosi • spi_sck

Tabel 2. Rangkuman Penggunaan FPGA

penggunaan logika	**digunakan**	**tersedia**	**penggunaan**
jumlah flip-flop	485	9,312	5%
jumlah luts 4 masukan	683	9,312	7%
jumlah slice yang digunakan	575	4,656	12%
total jumlah luts 4 masukan	929	9,312	9%
jumlah ramb16s	16	20	80%
jumlah bufgmuxs	4	24	16%

Program VHDL di simulasikan pada ISim (O.87xd). Simulasi ISim ditunjukkan pada gambar 5.



Gambar 5. Simulasi Sistem keseluruhan menggunakan ISim

5. KESIMPULAN

Sistem smart home ini berbasis suara melalui Ethernet. Sistem menggunakan PC sebagai server dan Xilinx Spartan-3E sebagai penerima. Sistem mengirimkan sinyal audio dari PC melalui LAN ke FPGA dan mereproduksi sinyal menggunakan speaker audio eksternal. Berdasarkan pengujian yang dilakukan pada sistem, suara dapat berhasil dikirim ke FPGA. Dari hasil pengujian simulasi menggunakan ISim, terlihat bahawa sistem bekerja secara realtime. Selain itu, menurut device utilization dapat dilihat prosentase penggunaan memori terlihat cukup besar yakni mencapai 80%.

6. DAFTAR PUSTAKA

ARIFIYANTO F ETAL, 2014, Perancangan Prototype Web-Based Online Smart Home Controlled By Smartphone, Jurusan Teknik Elektro, Fakultas Teknik, Universitas Diponegoro.

BREGMAN D, 2010, Smart Home Intelligence - The eHome that Learns, International Journal of Smart Home,Vol.4, No.4.

CISCO, 2001, IP Multicast Technology Overview, http://www.cisco.com/c/en/us/td/docs/ios/solutions_docs/ip_multicast/White_papers/mcst_ovr.html#wp1009849

FPGA4FUN, 2013, How Ethernet works, http://www.fpga4fun.com/10BASE-T1.html

FPGA4FUN, 2014, Receiving Packets, http://www.fpga4fun.com/10BASE-T4.html

IEEE, 2012, IEEE Standard for Ethernet, IEEE Computer Society

PERKINS C, 2003, RTP Audio and Video for the Internet, Addison Wesley

XILINX, 2011, Spartan-3E Starter Kit Board User Guide, UG230 (v1.0), www.xilinx.com/support/documentation/boards_and_kits/ug230.pdf